

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-016082

(43)Date of publication of application : 24.01.1991

(51)Int.Cl.

G11C 11/401
H01L 27/108

(21)Application number : 01-148448

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.06.1989

(72)Inventor : TSUCHIDA KENJI

OWAKI YUKITO

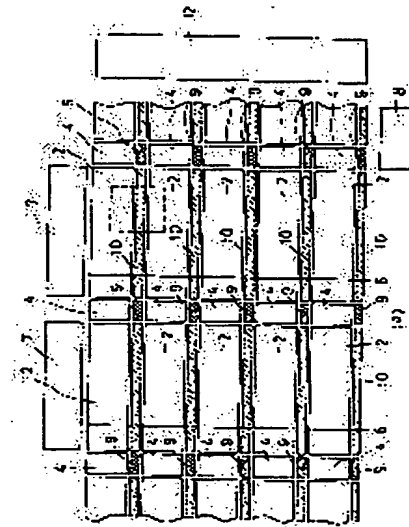
TAKASHIMA DAIZABURO

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To remarkably shorten the sense time by placing a sub-sense amplifier driving circuit in a space generated between two sense amplifier circuit areas.

CONSTITUTION: This device is provided with a memory area 5 in which a memory cell area formed from plural memory cells 1 and a sense amplifier circuit area 4 formed from a sense amplifier circuit 3 connected through a bit line to the respective memory cells of this memory cell area 2 are arranged in the line direction, a word line 6 connected in common at every line address of the memory cell area 2, and sense amplifier driving circuit parts 8, 9 placed in a clearance in the row direction of the peripheral part and the inside of the memory area. In this case, by providing a discharge current path from the bit line in many directions, a wiring resistance of a discharge line can be reduced equivalently. Accordingly, the clamp potential can be lowered, and simultaneously, a discharge time constant can be made small. In such a way, the sense time of a column bar pattern can be shortened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-16082

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月24日

G 11 C 11/401
H 01 L 27/108

8323-5B G 11 C 11/34
8624-5F H 01 L 27/10

3 6 2 B
3 2 5 T

審査請求 未請求 請求項の数 3 (全7頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 平1-148448

⑰ 出 願 平1(1989)6月13日

⑱ 発 明 者 土 田 賢 二 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内
⑲ 発 明 者 大 脇 幸 人 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内
⑳ 発 明 者 高 島 大 三 郎 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内
㉑ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
㉒ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1)複数のメモリセルより形成されたメモリセル領域及びこのメモリセル領域のそれぞれのメモリセルとビット線を介して接続されたセンスアンプ回路より形成されたセンスアンプ回路領域とが行方向に配列されたメモリ領域と、前記メモリセル領域の行アドレス毎に共通に接続されたワード線と、前記メモリ領域の周辺部及び内部の列方向の隙間に配置されたセンスアンプ駆動回路部とを具備したことを特徴とする半導体記憶装置。

(2)前記内部に配置されたセンスアンプ駆動回路は、前記センスアンプ回路領域に挟まれた領域に形成されたことを特徴とする請求項1記載の半導体記憶装置。

(3)前記センスアンプ回路の共通ソース配線に前記メモリ領域の周辺部及び内部に配置された前記センスアンプ駆動回路が接続されると共に、前記

メモリ領域の内部に配置された前記センスアンプ駆動回路への電位供給線が、前記ビット線と平行に前記メモリセル領域に挟まれた領域を通過して配設されたことを特徴とする請求項1記載の半導体記憶装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、半導体記憶装置に係り、特に1トランジスタ/1キャパシタから成るメモリセルを用いたダイナミック型RAM(DRAM)に関する。

(従来の技術)

MOSトランジスタを集積した半導体記憶装置の中で、DRAMは、メモリセル占有面積が小さいため高集積化に最も適している。最近、最小加工寸法1μm以下の4MビットDRAMが国内外で発表され、その量産も近い。この様な高集積化DRAMにおいて、微細化によるMOSトランジスタのスイッチング速度の向上のみで高速性を追求することは限界にきており、一層の高速性に対する要求

が強い。

DRAMの高速化にとって大きい障害になっているものの一つに、セルデータを検出増幅するセンスアンプのセンス時間がある。センス時間はメモリアレイに書き込んだデータパターンに大きく影響され、最もセンス時間が長くなるデータパターンによってアクセスタイムが規定される。この事情を以下に図面を用いて説明する。

第5図は、DRAMのセンスアンプを中心としたコア回路部の構成を示している。ビット線対 \overline{BL} 、 \overline{BL} ($BL_0, \overline{BL}_0, BL_1, \overline{BL}_1, \dots$)とワード線 WL (WL_0, WL_1, \dots)が交差配設されて、その各交差位置にメモリセル M (M_1, M_2, \dots)が配置されている。また、ワード線 WL_0, WL_1 はロウデコーダ及びワード線駆動回路21に接続されている。また各ビット線対 $\overline{BL}, \overline{BL}$ には、MOSトランジスタ (Q_1, Q_2), (Q_3, Q_4), ... から成るダイナミック型センスアンプ SA (SA_1, SA_2, \dots)が接続されている。各ビット線対 $\overline{BL}, \overline{BL}$ はまた、MOSトランジスタ (Q_{11}, Q_{12}), (Q_{13}, Q_{14}), ...

ータが全て"1"である場合を示している。この様なデータパターンはカラムパターンと称される。

今、ビット線 $\overline{BL}, \overline{BL}$ の容量を $C_0 = 600 \text{ fF}$ 、メモリセル容量を $C_s = 40 \text{ fF}$ とし電源を $V_{cc} = 5 \text{ V}$ として、 $(1/2)V_{cc}$ ビット線プリチャージ方式を用いるとする。このとき、一方のワード線 WL_0 が選択された直後のビット線電位は、 $BL_0 = 2.34 \text{ V}$, $BL_1 = BL_2 = \dots BL_n = 2.66 \text{ V}$ 、残りのビット線は全て 2.5 V である。次に、ロウアドレスにより決定されるロウブロック選択信号 RBS とセンスアンプ活性化信号 SEN によりセンスアンプ駆動回路4が動作すると、センスアンプ列の共通ソース配線 \overline{SAN} が低電位に引下げられセンスが開始される。センスアンプ SA を構成するMOSトランジスタ $Q_1 \sim Q_4$ のしきい値を例えば 1 V とすると、共通ソース配線 \overline{SAN} の電位がプリチャージ電位 $(1/2)V_{cc} = 2.5 \text{ V}$ から下がって 1.66 V となった時にまず、カラム選択線 $CSL_1, CSL_2, \dots, CSL_n$ で選ばれるべきカラムのセンスアンプ

からなるカラム選択ゲートを介して入出力線 $I/O, \overline{I/O}$ に接続されている。このカラム選択ゲートは、カラムデコーダ2の出力線 CSL_1, CSL_2, \dots の信号により駆動される。また、入出力線 $I/O, \overline{I/O}$ は入出力バッファ3に接続されている。ビット線センスアンプ SA 列のMOSトランジスタの共通ソース配線 \overline{SAN} は、センスアンプを活性化するためのセンスアンプ駆動回路4に接続されている。センスアンプ駆動回路4の主要構成要素は、ロウブロック選択信号 RBS とセンスアンプ活性化信号 SEN の論理積によって選択されてオンとなる活性化用MOSトランジスタ Q_5 であり、これが共通ソース配線 \overline{SAN} をプリチャージ電位から接地電位に引下げる働きをする。

この様なDRAM構成において、センス時間が最も長くなるのは、ロウアドレスにより選択されたワード線(例えば WL_0)に沿うデータが1つのカラムのみ"0"で残りのカラムが全て"1"である場合である。第5図では、カラム選択線 CSL_0 で選択されるカラムのデータが"0"で他のカラムのデ

SA_1, SA_2, \dots のMOSトランジスタ Q_1, Q_2, \dots, Q_4 がオンになる。この結果、これらのMOSトランジスタを介して"1"データのビット線 \overline{BL} の電荷が放電し始める。ところがこのとき、第3図の破線で示す様に、共通ソース配線 \overline{SAN} の電位は、一定値に暫くの間保持される。その間、"0"データのビット線のMOSトランジスタ Q_3 はオンになることができず、このカラムのセンスが大きく遅れる。これは、より具体的には次の様な理由による。共通ソース配線 \overline{SAN} は、ワード線方向に長いコア回路を走って配設されるため、第5図に示した配線抵抗 R_1 が比較的大きい値をもつ。また、 V_{ss} 電源線にも配線抵抗 R_2 が存在する。これらの配線抵抗を介して、先に説明した様に多数のビット線の容量を放電するため、その放電時定数はかなり大きいものとなる。そしてこの際、ビット線センスアンプ SA のオンとなったMOSトランジスタのオン抵抗が、共通ソース配線 \overline{SAN} の電位変化に対応してダイナミックに変化する結果、放電電流が次第に大きくなる。この結果とし

て、共通ソース配線 SAN の電位が一定値に保持された状態になる。この状態を脱して初めて、"0"読み出しのカラムのセンスアンプ SA_1 のトランジスタ Q_1 はオンになる。

こうして、カラムパターンの場合には、"0"読み出しカラムのセンスが"1"読み出しカラムのセンスに比べ大幅に遅れる。このため、カラム選択線を駆動するタイミングは、予めプリチャージされた入出力線の電位によりビット線データを破壊されるのを防止する必要性から、"0"読み出しのセンスが十分に行なわれた時点まで待たなければならない。

(発明が解決しようとする課題)

以上の様に従来の半導体記憶装置では、データパターンによってセンス時間が異なり、特にカラムパターン時のセンス時間が長くなる。従ってカラムパターン時の場合のセンス時間を考慮してビット線と入出力線を接続する選択ゲートを制御する必要があり、これがDRAMのアクセス時間の短縮にとって大きい障害となっていた。

共通ソース配線に、前記メモリ領域の周辺部及び内部に配置された前記センスアンプ駆動回路が接続されると共に、前記メモリ領域の内部に配置された前記センスアンプ駆動回路への電位供給線が前記ビット線と平行に前記メモリセル領域に挟まれた領域を通過して配設されたことを特徴とする請求項1記載の半導体記憶装置を提供する。

(作用)

以上述べた様に本発明によれば、ビット線からの放電々流パスを多方向に設けることにより、放電回路の配線抵抗を等価的に低減することができる。この結果、クランプ電位を下げることができ同時に放電時定数を小さくすることができ、カラムパターンのセンス時間の短縮が可能となる。

(実施例)

以下、本発明の実施例について図面を参照して説明する。

第1図(a)は本発明の実施例の半導体記憶装置(DRAM)の平面図、第1図(b)は、第1図(a)の点線で囲まれた領域の拡大図である。複数のメモリ

本発明は、この様な課題を解決するDRAMを提供することを目的とする。

(発明の構成)

(課題を解決するための手段)

本発明は、上記事情に鑑みて為されたもので、第1の発明は、複数のメモリセルより形成されたメモリセル領域及びこのメモリセル領域のそれぞれのメモリセルとビット線を介して接続されたセンスアンプ回路より形成されたセンスアンプ回路領域とが行方向に配列されたメモリ領域と、前記メモリセル領域の行アドレス毎に共通に接続されたワード線と、前記メモリ領域の周辺部及び内部の列方向の隙間に配置されたセンスアンプ駆動回路部とを具備したことを特徴とする半導体記憶装置を提供する。

また、第2の発明は、前記内部に配置されたセンスアンプ駆動回路は、前記センスアンプ回路領域に挟まれた領域に形成されたことを特徴とする半導体記憶装置を提供する。

また、第3の発明は、前記センスアンプ回路の

セル1(第4図(b)において斜線部分が1ビット)より成るメモリセル領域2及びこの複数のメモリセル1に対応して設けられた複数のセンスアンプ回路より成るセンスアンプ回路領域4とがマトリクス状に配列されメモリ領域5を形成している。また、各メモリセル領域2の行アドレス毎に共通なワード線6が接続されている。このワード線は、ロクデコーダ7からの行アドレス信号により選択される。

また各センスアンプ回路3はこれを活性化するためのセンスアンプ駆動回路部に接続されている。このセンスアンプ駆動回路部は、メモリ領域2の端部に設けられた主センスアンプ駆動回路8及びメモリ領域2の内部に設けられた副センスアンプ駆動回路9より形成されている。主センスアンプ駆動回路8は、ロクブロック選択信号RBSとセンスアンプ活性化信号SENの論理積をとるための論理回路(ここではANDゲート)及びその論理演算の結果によりオンとなる活性化用MUSTランジスタ Q_0 により構成されている。また、副セ

センスアンプ駆動回路9は、主センスアンプ駆動回路8の活性化用MOSトランジスタ Q_0 がONとなることにより動作を開始する活性化用MOSトランジスタ Q_{21}, Q_{22}, \dots により構成されている。この副センスアンプ駆動回路9は、センスアンプ回路領域4に設けられた空間に配置されている。この空間が設けられるのは以下の理由による。即ち、比較的配線長の長いワード線6においては、その一端から他端へ信号が伝達するのに時間を要し、本来同時に選択されるべき同一行のメモリセル1が遅延をもって選択されることになる。これを防ぐため第1図(b)に示す様にワード線6を例えばポリシリコンより成るゲート材料とその上の例えばAL(第1層AL)より成る金属配線の2層構造とし、メモリ領域5の任意の点で2つの配線層を接続する構成をとる。この2層の接続をとるための領域をワード線スナップ領域10と呼び、2つのメモリセル領域2間にこのスナップ領域10が設けられるのである。これにあわせて2つのセンスアンプ回路領域4間にも空間が生じ、この空間に

カラムごとにワード線スナップ領域10が設けられている。

第2図は、本発明のDRAMのセンスアンプを中心としたコア回路部の構成を示している。ビット線対 BL, \overline{BL} ($BL_0, \overline{BL}_0, BL_1, \overline{BL}_1, \dots$)とワード線6 $WL(WL_0, WL_1, \dots)$ が交差配設されて、その各交差位置にメモリセル1 $M(M_1, M_2, \dots)$ が配置されている。各ビット線対 BL, \overline{BL} には、MOSトランジスタ(Q_1, Q_2), (Q_3, Q_4), ...から成るセンスアンプ回路3 $SA(SA_1, SA_2, \dots)$ が接続されている。各ビット線 BL, \overline{BL} はまた、MOSトランジスタ(Q_{11}, Q_{12}), (Q_{13}, Q_{14}), ...から成るカラム選択ゲート11を介して入出力線 $I/O, \overline{I/O}$ に接続されている。カラム選択ゲート11は、カラムデコーダ12の出力につながるカラム選択線 $CSL(CSL_0, CSL_1, \dots)$ の信号により駆動される。センスアンプ回路3のMOSトランジスタの共通ソース配線 \overline{SAN} は、センスアンプ回路3を駆動するための主センスアンプ駆動回路8及び副センスアンプ駆動回路9に接続さ

副センスアンプ駆動回路9が設けられているのである。なお、副センスアンプ駆動回路9は、メモリ領域5周辺部に配置された主センスアンプ駆動回路8より構成が簡単のため2つのセンスアンプ回路領域4に挟まれた空間に配置することが可能である。よって副センスアンプ駆動回路9を設けることにより素子面積が増大することはない。尚、図中一点鎖線で示されているのは副センスアンプ駆動回路に V_{ss} 電位を供給する電位供給線14(第2層AL)である。この電位供給線14はビット線と同じ配線層で構成することができる。

また、各ビット線はMOSトランジスタより成るカラム選択ゲート11を介して入出力線 I/O に接続されている。また、カラム選択ゲート11は、カラムデコーダ12の出力につながるカラム選択線の信号により駆動される。また、入出力線 I/O は出力バッファ13に接続されている。

なお、例えば1Mビットのメモリの場合には、256ワードライン \times 512カラムを1つのブロックとして8つのブロックより構成されており、64

れている。これらのセンスアンプ駆動回路は、メモリ領域2の端部に配置された主センスアンプ駆動回路8内に設けられたロウブロック選択信号 RBS 及びセンスアンプ活性化信号 SEN を入力とする論理回路により制御される。この主センスアンプ駆動回路8内には、更に駆動回路活性化用MOSトランジスタ Q_0 が設けられ、 Q_0 のソース線は接地されている。また、副センスアンプ駆動回路9は2つのセンスアンプ回路領域4に挟まれた空間に配置され、この駆動回路内のMOSトランジスタ Q_{21}, Q_{22} のソース線(電位供給線14)は、ビット線と平行にワード線スナップ領域10を通過して接地されている。

この様な構成のDRAMにおいてカラムパーバタンのデータ読出しを行なう場合の動作を以下に説明する。動作波形を第3図に実線で示す。従来例で説明したと同様、例えばワード線 WL_0 が選択され、最初のカラムのみ"0"データで残りのカラムが全て"1"であるとする。センスが開始されると、この実施例では、主センスアンプ回路8のト

ランジスタ Q_0 が ON されると共に副センスアンプ回路 9 のトランジスタ Q_{01} , Q_{02} が同時に働いて共通ソース配線 $\overline{S\ A\ N}$ の両端が V_{DD} 電源線に接続される。従ってセンスアンプ回路 3 SA_0 , SA_1 , ... のトランジスタ Q_0 , Q_1 , ..., Q_n がオンして、これらがつながるビット線の電荷は共通ソース配線 $\overline{S\ A\ N}$ を通じ Q_0 , Q_{01} , Q_{02} を介して放電され、 $\overline{S\ A\ N}$ はプリチャージ電位から接地電位に引下げられる。

ここで、 $\overline{S\ A\ N}$ の抵抗値としては、主センスアンプ駆動回路 8 の駆動トランジスタ Q_0 及び副センスアンプ駆動回路 9 の駆動トランジスタ Q_{01} , Q_{02} , ... のオン抵抗並びに $\overline{S\ A\ N}$ の配線抵抗 R_1 , R_2 , R_{01} , R_{02} , ... が考えられる。前者の ON 抵抗は主に各トランジスタのゲート幅により決まる。主センスアンプ駆動回路 8 の駆動トランジスタ Q_0 のゲート幅に比べ、副センスアンプ駆動回路 9 の駆動トランジスタ Q_{01} , Q_{02} , ... のゲート幅はレイアウト面積上大きくできないため、 Q_{01} , Q_{02} 個々のオン抵抗は Q_0 のオン抵抗に比べ大きくなる。しかし

なお、副センスアンプ駆動回路 9 は、センスアンプ回路領域に挟まれた領域すべてに配置する必要はなく $\overline{S\ A\ N}$ の抵抗値により、適当な間隔で配置することも可能である。

また、副センスアンプ駆動回路 9 は、センスアンプ回路領域に挟まれた領域に配置されているがこれに限定されるものではなく、副センスアンプ駆動回路 9 用の V_{DD} 線がビット線と平行な方向に配置されれば任意の位置に配置することが可能である。

また、これまでの説明では、メモリセルデータのセンスに NMOS 型センスアンプを用いて述べてきたが、PMOS 型センスアンプを用いることも可能である。第 4 図にこの場合の回路構成を示す。基本的な動作は、NMOS 型と同様であるが共通ソース配線をプリチャージ電位から電源電圧へ引き上げることによりセンスアンプ回路を活性化する点及びこの主センスアンプ駆動回路 8、副センスアンプ駆動回路 9 に供給する配線が電源線であることが異なる。

ながら、DRAM の高集積化に伴い、ワード線 6 も長くなり、ワード線 1 本当たりのスナップ領域 10 も多くなりそれによって設けられた副センスアンプ駆動回路 9 の並列に配置された駆動トランジスタ Q_{01} , Q_{02} , ... 合計のオン抵抗は小さくすることが可能となる。よって、並列に配置された Q_0 及び Q_{01} , Q_{02} , ... 合計のオン抵抗も小さくすることができるとなる。

また、後者の配線抵抗については主センスアンプ駆動回路 8 部分に比べ副センスアンプ駆動回路 9 部分は配線幅も細く、配線長も長いので、 $(R_1 + R_2)$ に比べ R_{01} , R_{02} 個々の値は大きくなる。しかしながらオン抵抗の場合と同様に並列に多数配線されることにより合計の配線抵抗を小さくすることが可能となる。

以上により、共通ソース配線 $\overline{S\ A\ N}$ の抵抗値は著しく低減でき第 3 図に示した様にクランプ電位は低くなる。また放電時定数も従来より小さくなる。この結果、"0" データのカラムのセンスアンプトランジスタ Q_0 は速いタイミングでオンになる。

また、周辺部に配置する主センスアンプ駆動回路は、メモリ領域に 1 コ配置する場合の他に、行方向のセンスアンプ列 1 列あるいは複数列に対して 1 コ配置することも可能である。

〔発明の効果〕

以上述べた様に、本発明によれば 2 つのセンスアンプ回路領域の間に生じる空間に副センスアンプ駆動回路を配置することによりチップ面積の増加を抑えながら、センス時間の大幅な短縮が可能となり、高速な大容量 DRAM を得ることができる。

4. 図面の簡単な説明

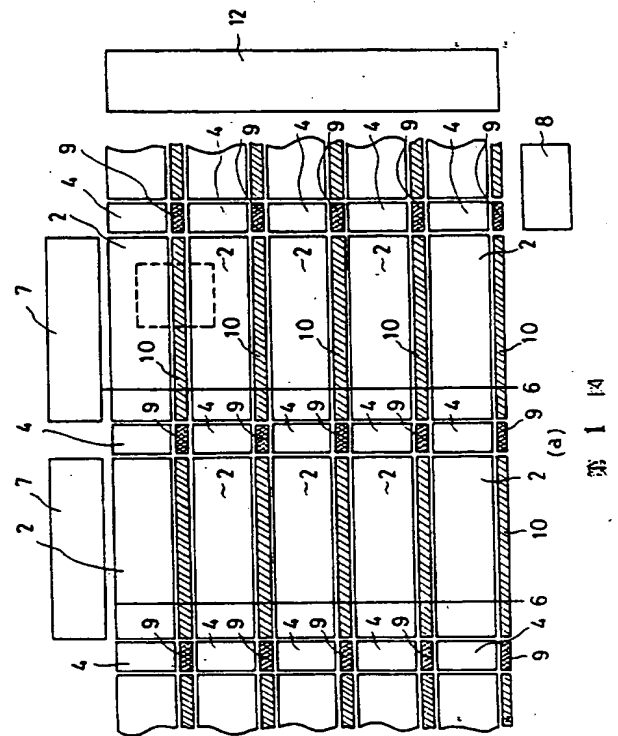
第 1 図は、本発明の実施例の DRAM の平面図、第 2 図は、本発明の DRAM のセンスアンプを中心としたコア回路部の構成図、第 3 図は、DRAM の動作を説明するための波形図、第 4 図は本発明の他の実施例の DRAM のコア回路部の構成図、第 5 図は従来の DRAM のコア回路部の構成図である。

図において、

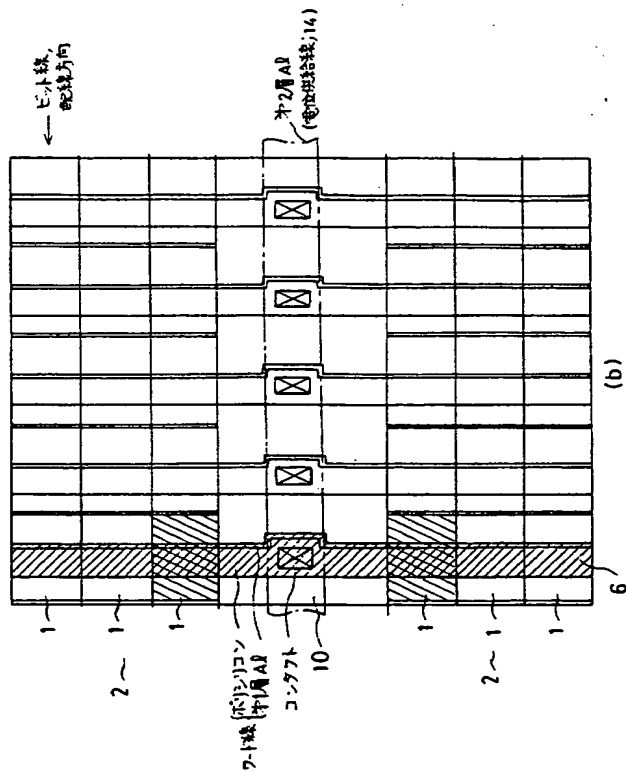
1 ... メモリセル、2 ... メモリセル領域、3 ... センスアンプ回路、4 ... センスアンプ回路領域、

5 ... メモリ領域、6 ... ワード線、7 ... ロウデコーダ、8 ... 主センスアンプ駆動回路、9 ... 副センスアンプ駆動回路、10 ... スナッチ領域、11 ... カラム選択ゲート、12 ... カラムデコーダ、13 ... 入出力バッファ、14 ... 電位供給線。

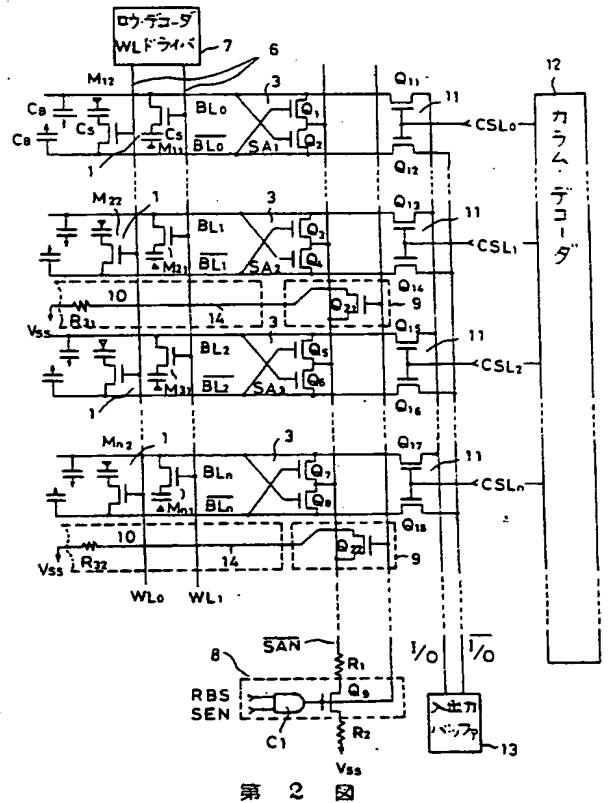
代理人 弁理士 則 近 憲 佑
同 松 山 允 之



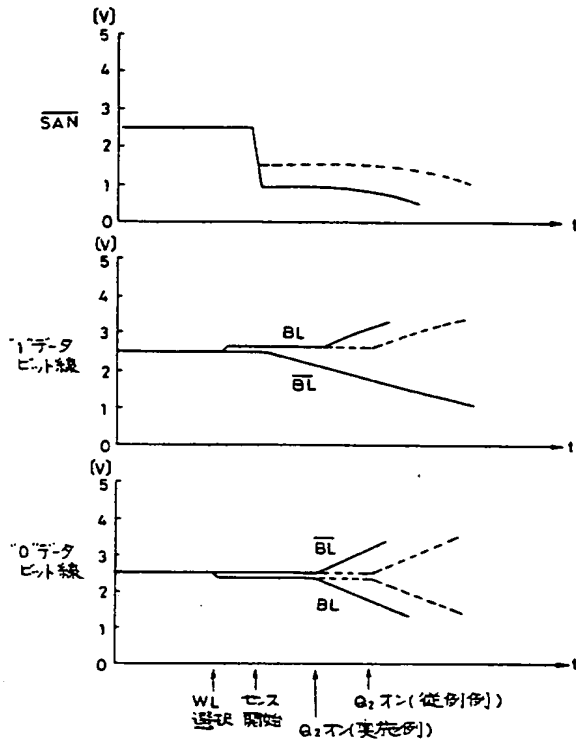
第 1 図



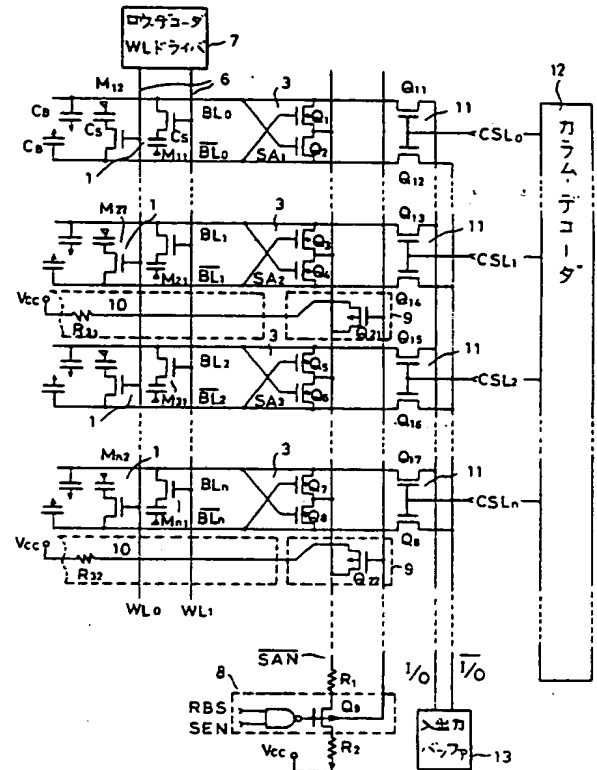
第 1 図



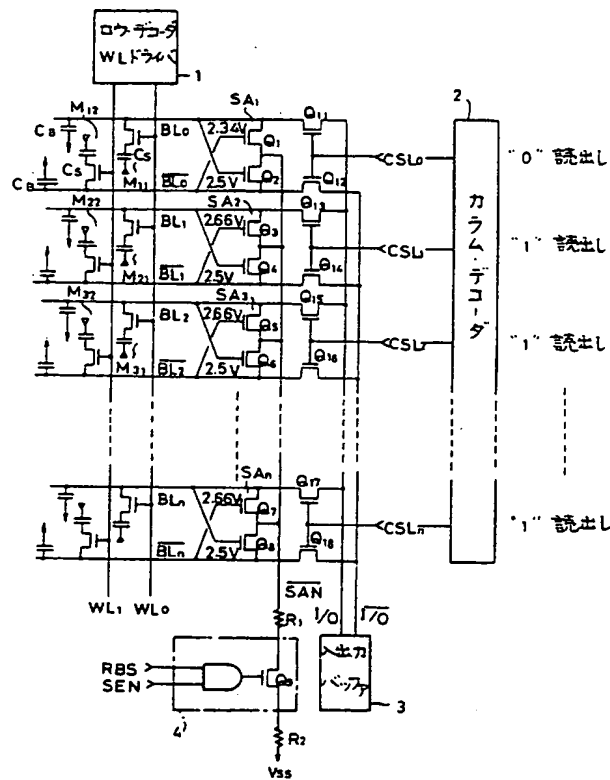
第 2 図



第 3 図



第 4 図



第 5 図

THIS PAGE BLANK (USPTO)